(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号
特開2000－115716
（P2000－115716A）
(43)公開日　平成12年4月21日(2000.4.21)

(51)Int.Cl.⁷	識別記号	ＦＩ	テーマコード(参考)
Ｈ０４Ｎ　7/01		Ｈ０４Ｎ　7/01	Ｃ　５Ｃ０６３

審査請求　未請求　請求項の数12　ＯＬ　（全 15 頁）

(21)出願番号　特願平10－275970
(22)出願日　平成10年9月29日(1998.9.29)

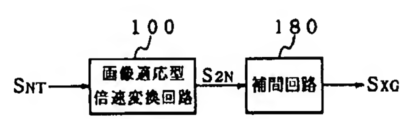
(71)出願人　000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者　染谷　郁男
東京都品川区北品川6丁目7番35号　ソニー株式会社内
(72)発明者　清水　晃
東京都品川区北品川6丁目7番35号　ソニー株式会社内
(74)代理人　100090376
弁理士　山口　邦夫　（外1名）

最終頁に続く

(54)【発明の名称】　映像信号の変換装置および変換方法、並びにそれを使用した画像表示装置およびテレビ受信機

(57)【要約】
【課題】垂直方向のライン数または水平方向の画素数を例えば2倍を越えるように変換する場合に高画質な映像信号を得る。
【解決手段】ライン数が２５２．５本（有効ライン数は２４０本）のＮＴＳＣ方式の映像信号SNTの各フィールドの信号を、ライン数が８４０本（有効ライン数は７６８本）のＸＧＡに対応する映像信号ＳXGの各フレームの信号に変換する。映像信号変換装置１３を、映像信号ＳNTをライン数が２倍となる飛び越し走査方式の映像信号Ｓ2Nに変換する画像適応型の倍速変換回路１００と、この映像信号Ｓ2Nを映像信号ＳXGに変換する補間回路１８０とで構成する。画像適応型の変換処理で得られる映像信号Ｓ2Nは高画質なものとなる。この映像信号Ｓ2Nより補間処理で得られる映像信号ＳXGは、映像信号ＳNTに対して補間処理のみで得られる映像信号ＳXGに比べて、画質劣化がなく、高画質な映像信号となる。

映像信号変換装置



13

【特許請求の範囲】
【請求項１】　第１の映像信号の垂直方向のライン数または水平方向の画素数をｎ倍にして第２の映像信号を得る画像適応型の第１の変換器と、
上記第２の映像信号の垂直方向のライン数または水平方向の画素数をｍ倍にして第３の映像信号を得る第２の変換器とを備えることを特徴とする映像信号変換装置。
【請求項２】　上記第１の変換器は、
上記第１の映像信号から第１の領域の画素の信号を切り出す第１の画素切り出し手段と、
上記第１の画素切り出し手段により切り出された上記第１の領域の画素の信号のレベル分布パターンを検出し、このパターンに基づいて推定しようとする上記第２の映像信号を構成する所定画素の信号が属するクラスを決定してクラス情報を出力するクラス決定手段と、
上記クラス情報で示される各クラスに対応した線形推定式の係数データを記憶する係数データ記憶手段と、
上記係数データ記憶手段から上記クラス決定手段より出力される上記クラス情報に対応した係数データを読み出して出力する係数データ出力手段と、
上記第１の映像信号から第２の領域の画素の信号を切り出す第２の画素切り出し手段と、
上記係数データ出力手段より出力された上記係数データと、上記第２の画素切り出し手段により切り出された上記第２の領域の画素の信号とから、上記線形推定式を用いて上記第２の映像信号を構成する所定画素の信号を演算して出力する映像信号出力手段とを有してなることを特徴とする請求項１に記載の映像信号変換装置。
【請求項３】　上記ｎは２であることを特徴とする請求項１に記載の映像信号変換装置。
【請求項４】　上記第１の映像信号は垂直方向のライン数が５２５本の飛び越し走査方式の映像信号であって、
上記第１の変換器は、上記ライン数が５２５本の飛び越し走査方式の映像信号より、上記第２の映像信号として、垂直方向のライン数が１０５０本の飛び越し走査方式の映像信号を得ると共に、
上記第２の変換器は、上記ライン数が１０５０本の飛び越し走査方式の映像信号より、上記第３の映像信号として、ＸＧＡに対応する映像信号を得ることを特徴とする請求項１に記載の映像信号変換装置。
【請求項５】　上記第１の映像信号は垂直方向のライン数が６２５本の飛び越し走査方式の映像信号であって、
上記第１の変換器は、上記ライン数が６２５本の飛び越し走査方式の映像信号より、上記第２の映像信号として、垂直方向のライン数が１２５０本の飛び越し走査方式の映像信号を得ると共に、
上記第２の変換器は、上記ライン数が１２５０本の飛び越し走査方式の映像信号より、上記第３の映像信号として、ＸＧＡに対応する映像信号を得ることを特徴とする請求項１に記載の映像信号変換装置。
【請求項６】　上記第１の映像信号は飛び越し走査方式の映像信号であり、上記第２の映像信号は飛び越し走査方式の映像信号であることを特徴とする請求項１に記載の映像信号変換装置。
【請求項７】　上記第１の映像信号は飛び越し走査方式の映像信号であり、上記第２の映像信号は順次走査方式の映像信号であることを特徴とする請求項１に記載の映像信号変換装置。
【請求項８】　上記第１の変換器をハードウェアで構成し、上記第２の変換器をディジタル・シグナル・プロセッサで構成することを特徴とする請求項１に記載の映像信号変換装置。
【請求項９】　上記第２の変換器は、上記第２の映像信号に対して、最近傍補間、線形補間またはキュービック補間のいずれかを行って上記第３の映像信号を得ることを特徴とする請求項１に記載の映像信号変換装置。
【請求項１０】　第１の映像信号に対して画像適応型の変換処理を施してライン数または画素数がｎ倍とされた第２の映像信号を得る第１の変換工程と、
上記第２の映像信号に対して変換処理を施してライン数または画素数がｍ倍とされた第３の映像信号を得る第２の変換工程とを有することを特徴とする映像信号変換方法。
【請求項１１】　入力映像信号のライン数または画素数を変換して出力映像信号を得る映像信号変換部と、
上記出力映像信号による画像を表示する画像表示部とを有し、
上記映像信号変換部は、
上記入力映像信号としての第１の映像信号のライン数または画素数をｎ倍にして第２の映像信号を得る画像適応型の第１の変換器と、
上記第２の映像信号のライン数または画素数をｍ倍にして上記出力映像信号としての第３の映像信号を得る第２の変換器とを備えることを特徴とする画像表示装置。
【請求項１２】　テレビ放送信号を受信する受信部と、
上記受信部より得られる受信映像信号のライン数または画素数を変換して変換映像信号を得る映像信号変換部と、
上記変換映像信号による画像を表示する画像表示部とを有し、
上記映像信号変換部は、上記受信映像信号としての第１の映像信号のライン数または画素数をｎ倍にして第２の映像信号を得る画像適応型の第１の変換器と、
上記第２の映像信号のライン数または画素数をｍ倍にして上記変換映像信号としての第３の映像信号を得る第２の変換器とを備えることを特徴とするテレビ受信機。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】この発明は、例えばＮＴＳＣ方式の映像信号をＸＧＡ（Extended Graphics Array）

に対応する映像信号に変換する際に適用して好適な映像信号の変換装置および変換方法、並びにそれを使用した画像表示装置およびテレビ受信機に関する。詳しくは、垂直方向のライン数または水平方向の画素数を、画像適応型の変換処理によってｎ倍とした後、さらに別の変換処理によってｍ倍とすることによって、垂直方向のライン数または水平方向の画素数を例えば２倍を越えるように変換する場合に高画質な映像信号を得るようにした映像信号変換装置等に係るものである。

【０００２】

【従来の技術】従来、ＮＴＳＣ方式の映像信号SNTをＸＧＡに対応する映像信号ＳXGに変換し、このＸＧＡに対応する映像信号により例えば液晶表示装置に画像を表示するようにしたものが提案されている。ここで、ＮＴＳＣ方式の映像信号SNTは垂直方向のライン数が５２５本の飛び越し走査方式の映像信号であって、図１３Ａに示すように、各フィールドの垂直方向の有効ライン数は２４０本であり、サンプリング周波数が１３．５ＭＨｚであるとき、水平方向の有効画素数は７２０画素である。これに対してＸＧＡに対応する映像信号ＳXGは、例えば順次走査方式の映像信号であって、図１３Ｂに示すように、垂直方向の有効ライン数は８４０本であり、水平方向の有効画素数は１０２４画素である。

【０００３】従来、ＮＴＳＣ方式の映像信号SNTよりＸＧＡに対応する映像信号ＳXGを得るための映像信号変換装置として、図１４に示すように、補間回路２００が使用されている。この補間回路２００では、ＮＴＳＣ方式の映像信号SNTに対して、最近傍補間、線形補間、キュービック補間等の補間処理が行われることで、ＸＧＡに対応する映像信号ＳXGが生成される。

【０００４】

【発明が解決しようとする課題】上述したようにＮＴＳＣ方式の映像信号SNTの各フィールドの垂直方向の有効ライン数が２４０本であるのに対して、ＸＧＡに対応する映像信号ＳXGの垂直方向の有効ライン数は８４０本であることから、補間回路２００では、垂直方向に関しては、７６０／２４０＝３．２倍のライン数変換処理が行われる。このように２倍を越える変換を行う場合には、タップ数の多い補間処理を用いても、画像にシャープさが無くなり、画質が劣化したものとなる。図１５Ａの「○」はＮＴＳＣ方式の映像信号SNTを示している。図１５Ｂの「●」はライン数変換後のＸＧＡに対応する映像信号ＳXGを示しており、単に垂直方向の画素数が増えているだけである。

【０００５】このような画質劣化は、２倍を越える水平方向の画素数の変換処理を行う場合にも同様に生じる。また、垂直方向のライン数が６２５本の飛び越し走査方式の映像信号であるＰＡＬ方式の映像信号SPLよりＸＧＡに対応する映像信号ＳXGを得る場合にも、同様に画質が劣化したものとなる。

【０００６】そこで、この発明では、垂直方向のライン数または水平方向の画素数を例えば２倍を越えるように変換する場合に高画質な映像信号を得るようにした映像信号変換装置等を提供することを目的とする。

【０００７】

【課題を解決するための手段】この発明に係る映像信号変換装置は、第１の映像信号の垂直方向のライン数または水平方向の画素数をｎ倍にして第２の映像信号を得る画像適応型の第１の変換器と、第２の映像信号の垂直方向のライン数または水平方向の画素数をｍ倍にして第３の映像信号を得る第２の変換器とを備えるものである。

【０００８】また、この発明に係る映像信号変換方法は、第１の映像信号に対して画像適応型の変換処理を施して垂直方向のライン数または水平方向の画素数がｎ倍とされた第２の映像信号を得る第１の変換工程と、第２の映像信号に対して変換処理を施して垂直方向のライン数または水平方向の画素数がｍ倍とされた第３の映像信号を得る第２の変換工程とを有するものである。

【０００９】この発明において、第１の映像信号に対して画像適応型の変換処理が施されて垂直方向のライン数または水平方向の画素数がｎ倍、例えば２倍とされた第２の映像信号が得られる。画像適応型の変換処理では、垂直方向のライン数または水平方向の画素数の変換が、周囲の画素信号を使用した単なる補間処理で行われるものではなく、例えば線形推定式を使用した推定演算によって必要な画素信号を求めることで行われる。また、第２の映像信号に対して変換処理が施されて垂直方向のライン数または水平方向の画素数がｍ倍とされた第３の映像信号が得られる。この変換処理では、垂直方向のライン数または水平方向の画素数の変換が、例えば周囲の画素信号を使用した単なる補間処理で行われる。

【００１０】このように第１の映像信号に対して画像適応型の変換処理が施されて第２の映像信号が得られるものであり、この第２の映像信号として高画質な映像信号が得られる。したがって、この第２の映像信号に対して変換処理が施されて得られる第３の映像信号は、第１の映像信号に対して単なる補間処理によって垂直方向のライン数または水平方向の画素数をｎ×ｍ倍した映像信号のような画質劣化がなく、高画質な映像信号となる。

【００１１】また、第１の映像信号に対して最終的に垂直方向のライン数または水平方向の画素数がｎ×ｍ倍とされた第３の映像信号を得るものであるが、第１の映像信号に対して画像適応型の変換処理を施して垂直方向のライン数または水平方向の画素数がｎ倍とされた第２の映像信号を得、さらに、この第２の映像信号に対して例えば補間による変換処理を施して垂直方向のライン数または水平方向の画素数がｍ倍とされた第３の映像信号を得る構成としている。そのため、最終的な垂直方向のライン数または水平方向の画素数の変換倍率に変更があっても、補間処理による変換倍率ｍを変更するのみで容易

に対処可能となる。つまり、最終的な垂直方向のライン数または水平方向の画素数の変換倍率に変更があっても、画像適応型の変換器としては既存のもの、例えば倍速変換器を使用でき、高画質な映像信号を得ることが可能となる。

【００１２】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施の形態について説明する。図１は、実施の形態としてのテレビ受信機１０の構成を示している。このテレビ受信機１０は、受信アンテナ１１と、この受信アンテナ１１で捕らえられたテレビ放送信号（ＲＦ変調信号）に対して、選局処理、中間周波増幅処理、検波処理等を行ってＮＴＳＣ方式の映像信号SNTを得るチューナ１２とを有している。

【００１３】また、テレビ受信機１０は、チューナ１２より出力される映像信号SNTに対して垂直方向のライン数や水平方向の画素数の変換処理を行ってＸＧＡに対応する映像信号ＳXGを得る映像信号変換装置１３と、液晶表示器（ＬＣＤ：liquid crystal display）１５と、この液晶表示器１５に上述の映像信号ＳXGによる画像が表示されるように、映像信号ＳXGに基づいて液晶表示器１５を駆動するドライバ１４とを有している。

【００１４】図１に示すテレビ受信機１０の動作を説明する。受信アンテナ１１で捕らえられたテレビ放送信号はチューナ１２に供給される。このチューナ１２では、ユーザの選局操作で選択された所定チャネルのテレビ放送信号に係る中間周波信号が得られ、この中間周波信号が増幅され、その後に中間周波信号に検波処理が施されてＮＴＳＣ方式の映像信号SNTが得られる。

【００１５】チューナ１２より出力されるＮＴＳＣ方式の映像信号SNTは映像信号変換装置１３に供給される。この変換装置１３では、映像信号SNTに対して垂直方向のライン数および水平方向の画素数の変換処理が行われて、ＸＧＡに対応する映像信号ＳXGが得られる。すなわち、２５２．５本（有効ライン数は２４０本）×８５８画素（有効画素は７２０画素）のＮＴＳＣ方式の映像信号SNTの各フィールドの信号が、８４０本（有効ライン数は７６８本）×１２２０画素（有効画素は１０２４画素）のＸＧＡに対応する映像信号ＳXGの各フレームの信号に変換される。

【００１６】そして、映像信号変換装置１３より出力されるＸＧＡに対応する映像信号ＳXGがドライバ１４に供給され、液晶表示器１５には、その映像信号ＳXGにより、１０２４×７６８画素の画像表示が行われる。

【００１７】次に、図２を使用して、映像信号変換装置１３の構成を説明する。変換装置１３は、ＮＴＳＣ方式の映像信号SNTを、垂直方向のライン数および水平方向の画素数がそれぞれ２倍となる飛び越し走査方式の映像信号Ｓ2Nに変換する画像適応型の倍速変換回路１００と、映像信号Ｓ2NをＸＧＡに対応した映像信号ＳXGに変

換する補間回路１８０とから構成されている。

【００１８】補間回路１８０は、上述した従来の補間回路２００と同様に構成される。すなわち、補間回路１８０では、垂直方向のライン数または水平方向の画素数の変換が、周囲の画素信号を使用した単なる補間処理（最近傍補間、線形補間、キュービック補間等）によって行われる。これに対して、変換回路１００では、垂直方向のライン数または水平方向の画素数の変換が、周囲の画素信号を使用した単なる補間処理で行われるものではなく、例えば線形推定式を使用した推定演算によって必要な画素信号を求めることで行われる。

【００１９】図２に示す変換装置１３の動作を説明する。まず、ＮＴＳＣ方式の映像信号SNTが画像適応型の倍速変換回路１００に供給され、画像適応型の変換処理により垂直方向のライン数および水平方向の画素数が２倍に変換されて映像信号Ｓ2Nが生成される。この場合、２５２．５本（有効ライン数は２４０本）×８５８画素（有効画素は７２０画素）のＮＴＳＣ方式の映像信号SNTの各フィールドの信号（図３Ａ参照）が、５２５本（有効ライン数は４８０本）×１７１６画素（有効画素は１４４０画素）の映像信号Ｓ2Nの各フィールドの信号（図３Ｂ参照）に変換される。

【００２０】次に、映像信号Ｓ2Nが補間回路１８０に供給され、周囲の画素信号を使用した単なる補間処理により垂直方向のライン数および水平方向の画素数が変換されてＸＧＡに対応する映像信号ＳXGが生成される。この場合、５２５本（有効ライン数は４８０本）×１７１６画素（有効画素は１４４０画素）の映像信号Ｓ2Nの各フィールドの信号が、８４０本（有効ライン数は７６８本）×１２２０画素（有効画素は１０２４画素）のＸＧＡに対応する映像信号ＳXGの各フレームの信号に変換される。

【００２１】図２に示す変換装置１３では、垂直方向に関しては、最終的に７６８／２４０＝３．２倍のライン数変換処理が行われるが、画像適応型の倍速変換回路１００で垂直方向のライン数が２倍とされ、その後に補間回路１８０で垂直方向のライン数がさらに１．６倍とされるものである。この場合、変換回路１００では画像適応型の変換処理が行われるものであり、ＮＴＳＣ方式の映像信号SNT（図４Ａの「○」参照）を鈍らせることなく、高画質な映像信号Ｓ2N（図４Ｂの「△」参照）が得られる。したがって、従来のように単なる補間処理によってライン数を３．２倍とするものと比べて、画質劣化が少なく、高画質な、ＸＧＡに対応する映像信号ＳXG（図４Ｃの「●」参照）が得られる。

【００２２】次に、図５を参照して、画像適応型の倍速変換回路１００の構成例について説明する。この変換回路１００は、ＮＴＳＣ方式の映像信号SNTが入力される入力端子１０１と、この映像信号SNTをディジタル信号（以下、「ＳＤ画素データ」という）に変換するＤ／Ａ

コンバータ102とを有している。

【0023】また、変換回路100は、A／Dコンバータ102から出力されるSD画素データより、映像信号S2Nを構成する画素データ（以下、「HD画素データ」という）のうち推定しようとする所定のHD画素データに対応した領域のSD画素データを切り出す領域切り出し回路103と、この領域切り出し回路103で切り出されたSD画素データに対してADRC（Adaptive Dynamic Range Coding）処理を適用して、主に空間内の波形を表すクラス（空間クラス）を決定してクラス情報を出力するADRC回路104とを有している。

【0024】図6および図7は、SD画素とHD画素の位置関係を示している。領域切り出し回路103では、例えば図8に示すように、HD画素データyを推定しようとする場合、このHD画素データyの近傍に位置するSD画素データk_1〜k_5が切り出される。

【0025】ADRC回路104では、領域切り出し回路103で切り出されたSD画素データのレベル分布のパターン化を目的として、各SD画素データを、例えば＊8ビットデータから2ビットデータに圧縮するような演算が行われる。そして、ADRC回路104からは、各SD画素データに対応した圧縮データ（再量子化コード）qiが空間クラスのクラス情報として出力される。

【0026】本来ADRCは、VTR（Video Tape Recorder）向け高性能符号化用に開発された適応的再量子化法であるが、信号レベルの局所的なパターンを短い語長で効率的に表現できるので、本実施の形態では、領域切り出し回路103で切り出されたSD画素データのレベル分布のパターン化に使用している。

【0027】ADRC回路104では、領域内のSD画素データの最大値をMAX、その最小値をMIN、領域内のダイナミックレンジをDR（＝MAX－MIN＋1）、再量子化ビット数をpとすると、領域内の各SD画素データkiに対して、（1）式の演算により再量子化コードqiが得られる。ただし、（1）式において、〔 〕は切り捨て処理を意味している。領域切り出し回路103で、Na個のSD画素データが切り出されるとき、i＝1〜Naである。

$$qi = [(ki - MIN + 0.5) \cdot 2^{p} / DR] \quad \cdots (1)$$

【0028】また、変換回路100は、A／Dコンバータ102から出力されるSD画素データより、推定しようとする所定のHD画素データに対応した領域のSD画素データを切り出す領域切り出し回路105と、この領域切り出し回路105で切り出されたSD画素データより、主に動きの程度を表すためのクラス（動きクラス）を決定してクラス情報を出力する動きクラス決定回路106とを有している。

【0029】領域切り出し回路105では、例えば図9に示すように、HD画素データyを推定しようとする場合、このHD画素データyの近傍に位置する10個のSD画素データm_1〜m_5，n_1〜n_5が切り出される。

【0030】動きクラス決定回路106では、領域切り出し回路105で切り出されたSD画素データmi，niからフレーム間差分が算出され、さらにその差分の絶対値の平均値に対してしきい値処理が行われて動きの指標である動きクラスのクラス情報MVが出力される。

【0031】すなわち、動きクラス決定回路106では、（2）式によって、差分の絶対値の平均値AVが算出される。領域切り出し回路105で、例えば上述したように10個のSD画素データm_1〜m_5，n_1〜n_5が切り出されるとき、（2）式におけるNbは5である。

【0032】

【数1】

$$AV = \frac{\sum_{i=1}^{Nb} |mi - ni|}{Nb} \quad \cdots (2)$$

【0033】そして、動きクラス決定回路106では、上述したように算出された平均値AVが1個または複数個のしきい値と比較されてクラス情報MVが得られる。例えば、3個のしきい値th_1，th_2，th_3（$th_1 < th_2 < th_3$）が用意され、4つの動きクラスを決定する場合、$AV \leqq th_1$のときはMV＝0、$th_1 < AV \leqq th_2$のときはMV＝1、$th_2 < AV \leqq th_3$のときはMV＝2、$th_3 < AV$のときはMV＝3とされる。

【0034】また、変換回路100は、ADRC回路104より出力される空間クラスのクラス情報としての再量子化コードqiと、動きクラス決定回路106より出力される動きクラスのクラス情報MVに基づき、推定しようとするHD画素データが属するクラスを示すクラスコードCLを得るためのクラスコード発生回路107を有している。クラスコード発生回路107では、（3）式によって、クラスコードCLの演算が行われる。なお、（3）式において、Naは領域切り出し回路103で切り出されるSD画素データの個数、pはADRC回路104における再量子化ビット数を示している。

【0035】

【数2】

$$CL = \sum_{i=1}^{Na} qi(2^{p})^{i} + MV \cdot 2^{PNa} \quad \cdots (3)$$

【0036】また、変換回路100は、それぞれ後述する推定演算回路110で使用される線形推定式の係数データが各クラス毎に記憶されているROMテーブル108を有している。このROMテーブル108には、クラスコード発生回路107より出力されるクラスコードが読み出しアドレス情報として供給される。これにより、ROMテーブル108より、クラスコードCLに対応した係数データwiが読み出される。

【0037】また、変換回路100は、A／Dコンバータ102から出力されるSD画素データより、推定しようとする所定のHD画素データに対応した領域のSD画素データを切り出す領域切り出し回路109と、この領域切り出し回路109で切り出されたSD画素データと、上述したようにROMテーブル108より読み出される係数データwiとから、推定しようとするHD画素データを演算する推定演算回路110とを有している。

【0038】領域切り出し回路109では、例えば図10に示すように、HD画素データyを推定しようとする場合、これらHD画素データyの近傍に位置するSD画素データx_1〜x_{25}が切り出される。推定演算回路110では、領域切り出し回路109で切り出されたSD画素データxiと、ROMテーブル108より読み出された係数データwiとから、（4）式の線形推定式によって、推定しようとするHD画素データyが演算される。領域切り出し回路109で、例えば上述したように25個のSD画素データx_1〜x_{25}が切り出されるとき、（4）式におけるn、つまりタップ数は25である。

【0039】

【数3】

$$y = \sum_{i=1}^{n} wi \cdot xi \quad \cdots (4)$$

【0040】また、変換回路100は、推定演算回路110より順次出力されるHD画素データをアナログ信号に変換して映像信号S2Nを得るD／Aコンバータ111と、この映像信号S2Nを出力する出力端子112とを有している。

【0041】図5に示す変換回路100の動作を説明する。NTSC方式の映像信号SNTがA／Dコンバータ102でディジタル信号に変換されてSD画素データが形成される。映像信号S2Nを構成するHD画素データのうち推定しようとする所定のHD画素データyに対応して、A／Dコンバータ102から出力されるSD画素データより領域切り出し回路103で所定領域のSD画素データkiが切り出され、この切り出された各SD画素データkiに対してADRC回路104でADRC処理が施されて空間クラス（主に空間内の波形表現のためのクラス分類）のクラス情報としての再量子化コードqiが得られる。

【0042】また、上述した推定しようとするHD画素データyに対応して、A／Dコンバータ102から出力されるSD画素データより領域切り出し回路105で所定領域のSD画素データmi，niが切り出され、この切り出された各SD画素データmi，niより動きクラス決定回路106で動きクラス（主に動きの程度を表すためのクラス分類）を示すクラス情報MVが得られる。この動きクラス情報MVと上述したADRC回路104で得られる再量子化コードqiとから、クラスコード発生回路107で、推定しようとするHD画素データyが属するクラスを示すクラス情報としてのクラスコードCLが得られる。そして、このクラスコードCLがROMテーブル108に読み出しアドレス情報として供給され、このROMテーブル108より推定しようとするHD画素データyが属するクラスに対応した係数データwiが読み出される。

【0043】また、上述した推定しようとするHD画素データyに対応して、A／Dコンバータ102から出力されるSD画素データより領域切り出し回路109で所定領域のSD画素データxiが切り出される。そして、推定演算回路110では、その切り出されたSD画素データxiと、上述したようにROMテーブル108より読み出された係数データwiとから、線形推定式を使用して、推定しようとするHD画素データyが演算される。そして、推定演算回路110より順次出力されるHD画素データyがD／Aコンバータ111によってアナログ信号に変換されて映像信号S2Nが得られ、この映像信号S2Nが出力端子112に導出される。

【0044】ところで、ROMテーブル108には、上述したように各クラスに対応した線形推定式の係数データが記憶されている。この係数データは、予め学習によって生成されたものである。まず、この学習方法について説明する。（4）式の線形推定式に基づく係数データwi（i＝1〜n）を最小自乗法により求める例を示すものとする。一般化した例として、Xを入力データ、Wを予測係数、Yを予測値として、（5）式の観測方程式を考える。この（5）式において、mは学習データ数を示し、nは予測タップの数を示している。

【0045】

【数4】

$$XW=Y \quad \cdots (5)$$

$$X=\begin{pmatrix} x_{11} & x_{12} & \cdots & x_{1n} \\ x_{21} & x_{22} & \cdots & x_{2n} \\ \cdots & \cdots & \cdots & \cdots \\ x_{m1} & x_{m2} & \cdots & x_{mn} \end{pmatrix},\ W=\begin{pmatrix} w_1 \\ w_2 \\ \cdots \\ w_n \end{pmatrix},\ Y=\begin{pmatrix} y_1 \\ y_2 \\ \cdots \\ y_m \end{pmatrix}$$

【0046】（5）式の観測方程式により収集されたデータに最小自乗法を適用する。この（5）式の観測方程式をもとに、（6）式の残差方程式を考える。

【0047】

【数5】

$$XW=Y+E,\ E=\begin{pmatrix} e_1 \\ e_2 \\ \cdots \\ e_m \end{pmatrix} \quad \cdots (6)$$

＊【0048】（6）式の残差方程式から、各wiの最確値は、（7）式のe^2を最小にする条件が成り立つ場合と考えられる。すなわち、（8）式の条件を考慮すればよいわけである。

＊【0049】

【数6】

$$e^2=\sum_{i=1}^{m} e_i^2 \quad \cdots (7)$$

$$e_1\frac{\partial e_1}{\partial w_i}+e_2\frac{\partial e_2}{\partial w_i}+\cdots+e_m\frac{\partial e_m}{\partial w_i}=0\ (i=1,2,\cdots,n) \quad \cdots (8)$$

【0050】つまり、（8）式のiに基づくn個の条件を考え、これを満たすw_1，w_2，・・・，w_nを算出すればよい。そこで、（6）式の残差方程式から、（9）式が得られる。さらに、（9）式と（5）式とから、※（10）式が得られる。

※【0051】

【数7】

$$\frac{\partial e_i}{\partial w_1}=x_{i1},\ \frac{\partial e_i}{\partial w_2}=x_{i2},\cdots,\frac{\partial e_i}{\partial w_n}=x_{in}\ (i=1,2,\cdots,m) \quad \cdots (9)$$

$$\sum_{i=1}^{m} e_i x_{i1}=0,\ \sum_{i=1}^{m} e_i x_{i2}=0,\cdots,\sum_{i=1}^{m} e_i x_{in}=0 \quad \cdots (10)$$

【0052】そして、（6）式と（10）式とから、（11）式の正規方程式が得られる。★

★【0053】

【数8】

$$\begin{cases} \left(\sum_{j=1}^{m} x_{j1}x_{j1}\right)w_1+\left(\sum_{j=1}^{m} x_{j1}x_{j2}\right)w_2+\cdots+\left(\sum_{j=1}^{m} x_{j1}x_{jn}\right)w_n=\left(\sum_{j=1}^{m} x_{j1}y_j\right) \\ \left(\sum_{j=1}^{m} x_{j2}x_{j1}\right)w_1+\left(\sum_{j=1}^{m} x_{j2}x_{j2}\right)w_2+\cdots+\left(\sum_{j=1}^{m} x_{j2}x_{jn}\right)w_n=\left(\sum_{j=1}^{m} x_{j2}y_j\right) \\ \cdots \\ \left(\sum_{j=1}^{m} x_{jn}x_{j1}\right)w_1+\left(\sum_{j=1}^{m} x_{jn}x_{j2}\right)w_2+\cdots+\left(\sum_{j=1}^{m} x_{jn}x_{jn}\right)w_n=\left(\sum_{j=1}^{m} x_{jn}y_j\right) \end{cases} \quad \cdots (11)$$

【0054】（11）式の正規方程式は、未知数の数nと同じ数の方程式を立てることが可能であるので、各wiの最確値を求めることができる。この場合、掃き出し法（Gauss-Jordanの消去法）等を用いて連立方程式を解くことになる。

【0055】図11は、上述した予測係数の学習フローを示している。学習を行うためには、入力信号と予測対象となる教師信号を用意しておく。

【0056】まず、ステップＳＴ１で、教師信号より得られる予測対象画素値と入力信号より得られる予測タップのｎ個の画素値との組み合わせを学習データとして生成する。次に、ステップＳＴ２で、学習データの生成が終了したか否かを判定し、学習データの生成が終了していないときは、ステップＳＴ３でその学習データにおける予測対象画素値が属するクラスを決定する。このクラスの決定は、予測対象画素値に対応して入力信号より得られる所定数の画素値に基づいて行われ、上述したＡＤＲＣ処理による空間クラス等が決定される。

【0057】そして、ステップＳＴ４で、各クラス毎に、ステップＳＴ１で生成された学習データ、すなわち予測対象画素値と予測タップのｎ個の画素値とを使用して、（１１）式に示すような正規方程式の生成をする。ステップＳＴ１～ステップＳＴ４の動作は、学習データの生成が終了するまで繰り返され、多くの学習データが登録された正規方程式が生成される。

【0058】ステップＳＴ２で学習データの生成が終了したときは、ステップＳＴ５で、各クラス毎に生成された正規方程式を解き、各クラス毎のｎ個の予測係数ｗｉを求める。そして、ステップＳＴ６で、クラス別にアドレス分割されたメモリに予測係数ｗｉを登録して、学習フローを終了する。

【0059】次に、図５に示した変換回路１００のＲＯＭテーブル１０８に記憶されている各クラス毎の係数データｗｉを、上述した学習の原理によって予め生成する係数データ生成装置１５０の詳細を説明する。図１２は、係数データ生成装置１５０の構成例を示している。

【0060】この係数データ生成装置１５０は、教師信号としての映像信号S2Nを構成するＨＤ画素データが供給される入力端子１５１と、このＨＤ画素データに対して水平および垂直の間引きフィルタ処理を行って、入力信号としてのＮＴＳＣ方式の映像信号SNTを構成するＳＤ画素データを得る間引き回路１５２とを有している。間引き回路１５２では、図示せずも、ＨＤ画素データに対して、垂直間引きフィルタによってフィールド内の垂直方向のライン数が１／２となるように間引き処理が施されると共に、さらに水平間引きフィルタによって水平方向の画素数が１／２となるように間引き処理が施される。したがって、ＳＤ画素とＨＤ画素の位置関係は、図６および図７に示すようになる。

【0061】また、係数データ生成装置１５０は、入力端子１５１に供給されるＨＤ画素データのうち予測対象画素値としての複数個のＨＤ画素データにそれぞれ対応して、間引き回路１５２から出力されるＳＤ画素データより所定領域のＳＤ画素データを順次切り出す領域切り出し回路１５５と、この領域切り出し回路１５５で順次切り出されたＳＤ画素データに対してＡＤＲＣ処理を適用して、主に空間内の波形を表すクラス（空間クラス）を決定してクラス情報を出力するＡＤＲＣ回路１５６とを有している。

【0062】領域切り出し回路１５５は、上述した変換回路１００の領域切り出し回路１０３と同様に構成される。この領域切り出し回路１５５からは、例えば図８に示すように、予測対象画素値としてのＨＤ画素データｙに対応して、このＨＤ画素データｙの近傍に位置するＳＤ画素データk_1～k_5が切り出される。また、ＡＤＲＣ回路１５６も、上述した変換回路１００のＡＤＲＣ回路１０４と同様に構成される。このＡＤＲＣ回路１５６からは、予測対象画素値としての各ＨＤ画素データにそれぞれ対応して切り出された所定領域のＳＤ画素データ毎に再量子化コードｑｉが空間クラスを示すクラス情報として出力される。

【0063】また、係数データ生成装置１５０は、上述した予測対象画素値としての各ＨＤ画素データにそれぞれ対応して、間引き回路１５２より出力されるＳＤ画素データより所定領域のＳＤ画素データを順次切り出す領域切り出し回路１５７と、この領域切り出し回路１５７で切り出されたＳＤ画素データより、主に動きの程度を表すためのクラス（動きクラス）を決定してクラス情報を出力する動きクラス決定回路１５８とを有している。

【0064】領域切り出し回路１５７は、上述した変換回路１００の領域切り出し回路１０５と同様に構成される。この領域切り出し回路１５７からは、例えば図９に示すように、予測対象画素値としてのＨＤ画素データｙに対応して、このＨＤ画素データｙの近傍に位置する１０個のＳＤ画素データm_1～m_5，n_1～n_5が切り出される。また、動きクラス決定回路１５８も、上述した画像信号変換装置１００の動きクラス決定回路１０６と同様に構成される。この動きクラス決定回路１５８からは、予測対象画素値としての各ＨＤ画素データにそれぞれ対応して切り出された所定領域のＳＤ画素データ毎に動きの指標である動きクラスのクラス情報ＭＶが出力される。

【0065】また、係数データ生成装置１５０は、ＡＤＲＣ回路１５６より出力される空間クラスのクラス情報としての再量子化コードｑｉと、動きクラス決定回路１５８より出力される動きクラスのクラス情報ＭＶに基づいてクラスコードＣＬを得るためのクラスコード発生回路１５９を有している。このクラスコード発生回路１５９は、上述した変換回路１００のクラスコード発生回路１０７と同様に構成される。このクラスコード発生回路１５９からは、予測対象画素値としての各ＨＤ画素データにそれぞれ対応して、そのＨＤ画素データが属するクラスを示すクラスコードＣＬが出力される。

【0066】また、係数データ生成装置１５０は、上述した予測対象画素値としての各ＨＤ画素データにそれぞれ対応して、間引き回路１５２より出力されるＳＤ画素データより予測タップ値としての所定領域のＳＤ画素データを順次切り出す領域切り出し回路１６０を有している。領域切り出し回路１６０は、上述した画像信号変換装置１００の領域切り出し回路１０９と同様に構成され

る。この領域切り出し回路１６０からは、例えば図１０に示すように、予測対象画素値としてのHD画素データｙに対応して、このHD画素データｙの近傍に位置する２５個のSD画素データ x_1～x_{25}が切り出される。

【００６７】また、係数データ生成装置１５０は、入力端子１５１に供給されるHD画素データより得られる予測対象画素値としての各HD画素データｙと、予測対象画素値としての各HD画素データｙにそれぞれ対応して領域切り出し回路１６０で順次切り出された予測タップ画素値としてのSD画素データｘｉと、予測対象画素値としての各HD画素データｙにそれぞれ対応してクラスコード発生回路１５９より出力されるクラスコードCLとから、各クラス毎に、ｎ個の係数データｗｉを生成するための正規方程式（（１１）式参照）を生成する正規方程式生成回路１６１を有している。

【００６８】この場合、１個のHD画素データｙとそれに対応するｎ個の予測タップ画素値との組み合わせで上述した学習データが生成され、従って生成回路１６１では多くの学習データが登録された正規方程式が生成される。なお、図示しないが、領域切り出し回路１６０の前段に時間合わせ用の遅延回路を配置することで、領域切り出し回路１６０から正規方程式生成回路１６１に供給されるSD画素データｘｉのタイミング合わせを行うことができる。

【００６９】また、係数データ生成装置１５０は、正規方程式生成回路１６１で各クラス毎に生成された正規方程式のデータが供給され、各クラス毎に生成された正規方程式を解いて、各クラス毎の係数データ（予測係数）ｗｉを求める予測係数決定回路１６２と、この求められた係数データｗｉを記憶するメモリ１６３とを有している。予測係数決定回路１６２では、正規方程式が例えば掃き出し法などによって解かれて、係数データｗｉが求められる。

【００７０】図１２に示す係数データ生成装置１５０の動作を説明する。入力端子１５１には教師信号としての映像信号S2Nを構成するHD画素データが供給され、そしてこのHD画素データに対して間引き回路１５２で水平および垂直の間引き処理等が行われて入力信号としてのNTSC方式の映像信号SNTを構成するSD画素データが得られる。

【００７１】また、入力端子１５１に供給されるHD画素データより得られる予測対象画素値としての各HD画素データｙにそれぞれ対応して、間引き回路１５２より出力されるSD画素データから領域切り出し回路１５５で所定領域のSD画素データｋｉが順次切り出され、この切り出された各SD画素データｋｉに対してADRC回路１５６でADRC処理が施されて空間クラス（主に空間内の波形表現のためのクラス分類）のクラス情報としての再量子化コードｑｉが得られる。

【００７２】また、予測対象画素値としての各HD画素

データｙにそれぞれ対応して、間引き回路１５２より出力されるSD画素データから領域切り出し回路１５７で所定領域のSD画素データmi，niが順次切り出され、この切り出された各SD画素データmi，niより動きクラス決定回路１５８で動きクラス（主に動きの程度を表すためのクラス分類）を示すクラス情報MVが得られる。そして、このクラス情報MVと上述したADRC回路１５６で得られる再量子化コードｑｉとからクラスコード発生回路１５９で、予測対象画素値としての各HD画素データｙが属するクラスを示すクラス情報としてのクラスコードCLが得られる。

【００７３】また、予測対象画素値としての各HD画素データｙにそれぞれ対応して、間引き回路１５２より出力されるSD画素データから領域切り出し回路１６０で所定領域のSD画素データｘｉが順次切り出される。そして、入力端子１５１に供給されるHD画素データより得られる予測対象画素値としての各HD画素データｙと、予測対象画素値としての各HD画素データｙにそれぞれ対応して領域切り出し回路１６０で順次切り出された予測タップ画素値としてのSD画素データｘｉと、予測対象画素値としての各HD画素データｙにそれぞれ対応してクラスコード発生回路１５９より出力されるクラスコードCLとから、正規方程式生成回路１６１では、各クラス毎に、ｎ個の係数データｗｉを生成するための正規方程式が生成される。そして、予測係数決定回路１６２でその正規方程式が解かれ、各クラス毎の係数データｗｉが求められ、その係数データｗｉはクラス別にアドレス分割されたメモリ１６３に記憶される。

【００７４】なお、上述においては、空間波形を少ないビット数でパターン化する情報圧縮手段として、ADRC回路１０４，１５６を設けることにしたが、これはほんの一例であり、信号波形のパターンの少ないクラスで表現できるような情報圧縮手段であれば何を設けるかは自由であり、例えばDPCM（Differential Pulse Code Modulation）やVQ（Vector Quantization）等の圧縮手段を用いてもよい。

【００７５】以上説明したように、本実施の形態において、映像信号変換装置１３では、垂直方向に関しては、画像適応型の倍速変換回路１００でライン数が２倍とされ、その後に補間回路１８０でライン数がさらに１．６倍とされ、最終的に３．２倍のライン数変換処理が行われる（図２参照）。この場合、変換回路１００では画像適応型の変換処理が行われるため、NTSC方式の映像信号SNTを鈍らせることなく、高画質な映像信号S2Nが得られる。したがって、従来のように単なる補間処理によって垂直方向のライン数を３．２倍とするものと比べて、画質劣化が少なく、高画質な、XGAに対応する映像信号SXGが得られ、液晶表示器１５に高画質な画像が表示される。

【００７６】また、画像適応型の倍速変換回路１００と

しては、図５に示すように構成されるものの他にも種々存在する。そのため、映像信号変換装置１３を画像適応型の倍速変換回路１００と補間回路１８０とからなる構成とすることで、倍速変換回路１００の部分を、必要に応じて、任意のものに置き換えて構成できる。

【００７７】なお、上述実施の形態においては、最終的に垂直方向のライン数を３．２倍とするものを示したが、垂直方向のライン数または水平方向の画素数の最終的な変換倍率が２倍より大きくなる場合に、上述したように画像適応型の倍速変換回路１００と補間回路１８０とからなる映像信号変換装置１３を使用し、高画質な映像信号を得ることができる。この場合、補間回路１８０における変換倍率を変更するのみで容易に対処できる。すなわち、垂直方向のライン数または水平方向の画素数の最終的な変換倍率に変更があっても、既存の倍速変換回路１００をそのまま使用でき、高画質な映像信号を得ることができる。

【００７８】また、上述実施の形態においては、NTSC方式の映像信号SNTより垂直方向のライン数および水平方向の画素数がそれぞれ２倍とされた飛び越し走査方式の映像信号S2Nを得、さらにこの映像信号S2NよりXGAに対応する映像信号SXGを得るようにしたものであるが、NTSC方式の映像信号SNTより垂直方向のライン数および水平方向の画素数がそれぞれ２倍とされた順次走査方式の映像信号を得、この映像信号よりXGAに対応する映像信号SXGを得るようにしてもよい。

【００７９】また、上述実施の形態においては、NTSC方式の映像信号SNTよりXGAに対応する映像信号SXGを得るものを示したが、この発明は、PAL方式の映像信号SPLよりXGAに対応する映像信号SXGを得る場合にも、同様に適用することができる。

【００８０】また、上述実施の形態においては、映像信号変換装置１３を画像適応型の倍速変換回路１００と補間回路１８０とからなる構成としたものであるが、映像信号変換装置１３を変換倍率が２でない画像適応型の変換回路と、補間回路とで構成するようにしても、同様の作用効果を得ることができる。

【００８１】また、上述実施の形態においては、NTSC方式の映像信号SNTよりXGAに対応する映像信号SXGを得るものを示したが、この発明は、NTSC方式の映像信号SNTやPAL方式の映像信号SPLより、SVGA、SXGA、UXGA、１１２５ｉ等に対応する映像信号を得る場合にも、同様に適用できることは勿論である。

【００８２】

【発明の効果】この発明によれば、第１の映像信号に対して画像適応型の変換処理を施して垂直方向のライン数または水平方向の画素数をｎ倍とした第２の映像信号を得、その後、この第２の映像信号に対して別の変換処理を施して垂直方向のライン数または水平方向の画素数を

ｍ倍とした第３の映像信号を得るものである。したがって、画像適応型の変換処理によって得られる第２の映像信号は高画質な映像信号となり、この第２の映像信号に対して変換処理が施されて得られる第３の映像信号は、第１の映像信号に対して単なる補間処理によって垂直方向のライン数または水平方向の画素数をｎ×ｍ倍した映像信号のような画質劣化がなく、高画質な映像信号となる。よって、この発明によれば、垂直方向のライン数または水平方向の画素数を例えば２倍を超えるように変換する場合に高画質な映像信号を得ることができる。

【００８３】また、第１の映像信号に対して最終的に垂直方向のライン数または水平方向の画素数がｎ×ｍ倍とされた第３の映像信号を得るものであるが、第１の映像信号に対して画像適応型の変換処理を施して垂直方向のライン数または水平方向の画素数がｎ倍とされた第２の映像信号を得、さらに、この第２の映像信号に対して例えば補間による変換処理を施して垂直方向のライン数または水平方向の画素数がｍ倍とされた第３の映像信号を得る構成としている。そのため、最終的な垂直方向のライン数または水平方向の画素数の変換倍率に変更があっても、補間処理による変換倍率ｍを変更するのみで容易に対処可能となる。つまり、最終的な垂直方向のライン数または水平方向の画素数の変換倍率に変更があっても、画像適応型の変換器としては既存のもの、例えば倍速変換器を使用でき、高画質な映像信号を得ることができる。

【図面の簡単な説明】

【図１】実施の形態としてのテレビ受信機の構成を示すブロック図である。

【図２】テレビ受信機内の映像信号変換装置の構成を示すブロック図である。

【図３】映像信号変換装置の動作を説明するための図である。

【図４】映像信号変換装置の動作を説明するための図である。

【図５】映像信号変換装置内の画像適応型倍速変換回路の構成を示すブロック図である。

【図６】SD画素とHD画素の位置関係を説明するための略線図である。

【図７】SD画素とHD画素の位置関係を説明するための略線図である。

【図８】空間クラス分類に使用するSD画素データを説明するための略線図である。

【図９】動きクラス分類に使用するSD画素データを説明するための略線図である。

【図１０】推定演算に使用するSD画素データを説明するための略線図である。

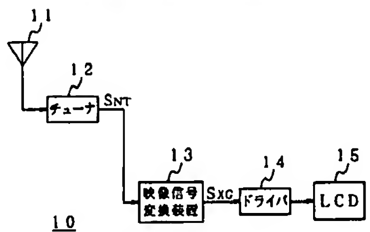
【図１１】予測係数の学習フローを示すフローチャートである。

【図１２】係数データ生成装置の構成例を示すブロック

図である。
【図１３】ＮＴＳＣ方式の映像信号およびＸＧＡに対応する映像信号の有効ライン数および有効画素数を示す図である。
【図１４】ＮＴＳＣ方式の映像信号SNTをＸＧＡに対応する映像信号ＳXGに変換するための従来の補間回路を示す図である。
【図１５】従来の補間回路の動作を説明するための図である。
【符号の説明】
１０・・・テレビ受信機、１１・・・受信アンテナ、１２・・・チューナ、１３・・・映像信号変換装置、１４・・・ドライバ、１５・・・液晶表示器、１００・・・画像適応型の倍速変換回路、１０１・・・入力端子、１０２・・・Ａ／Ｄコンバータ、１０３，１０５，１０９・・・領域切り出し回路、１０４・・・ＡＤＲＣ回路、１０６・・・動きクラス決定回路、１０７・・・クラスコード発生回路、１０８・・・ROMテーブル、１１０・・・推定演算回路、１１１・・・Ｄ／Ａコンバータ、１１２・・・出力端子

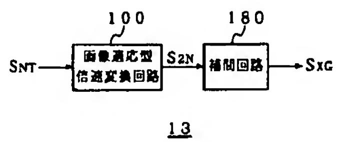
【図１】

実施の形態（テレビ受信機）



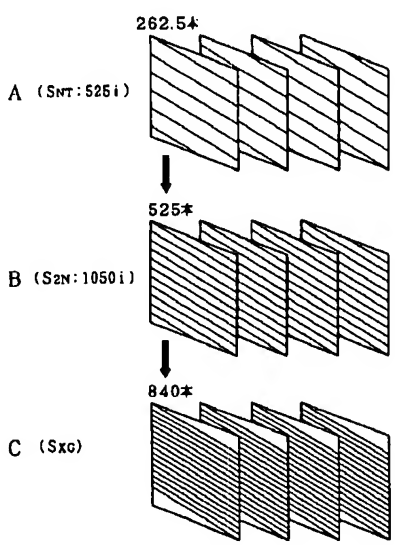
【図２】

映像信号変換装置



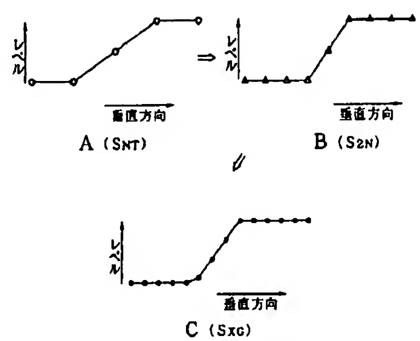
【図３】

映像信号変換装置の動作



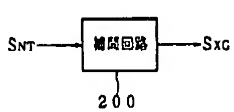
【図４】

映像信号変換装置の動作



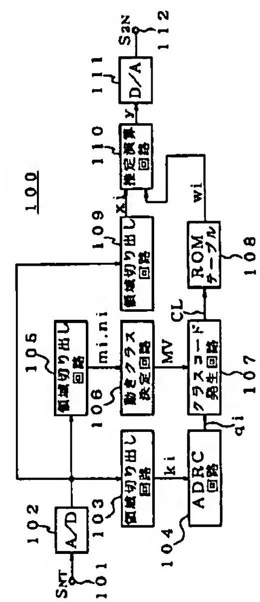
【図１４】

従来の補間回路



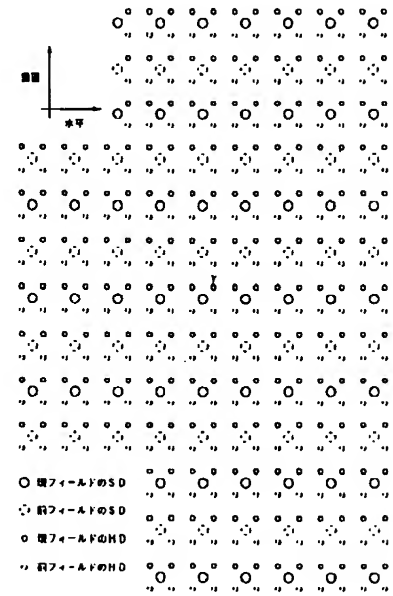
【図５】

画像適応型倍速変換回路



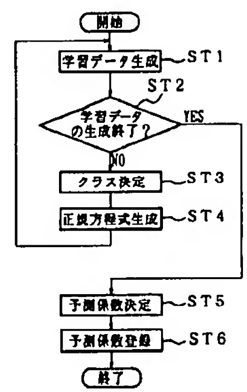
【図６】

ＳＤ画素とＨＤ画素の位置関係



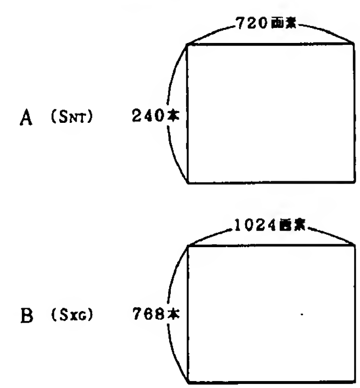
【図１１】

予測係数の学習フロー



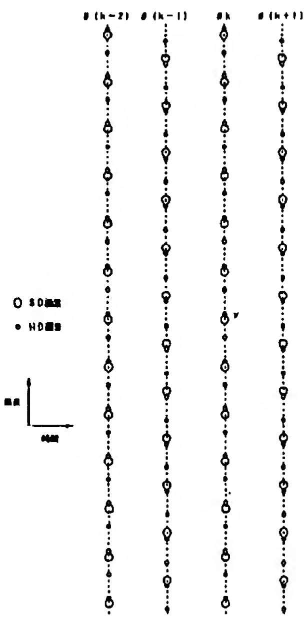
【図１３】

ＮＴＳＣ方式、ＸＧＡの有効ライン数
および有効画素数



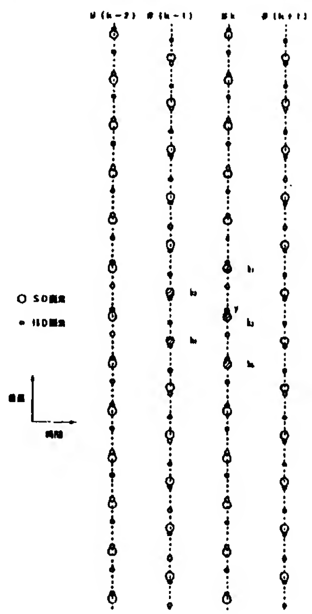
【図7】

SD画素とHD画素の位置関係



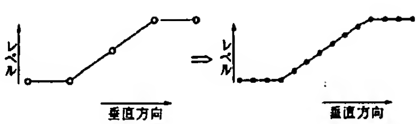
【図8】

空間クラス分類に使用するSD画素データ



【図15】

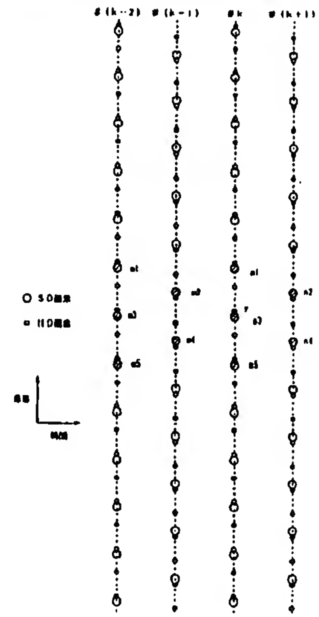
従来の補間回路の動作



A (SNT) B (SXC)

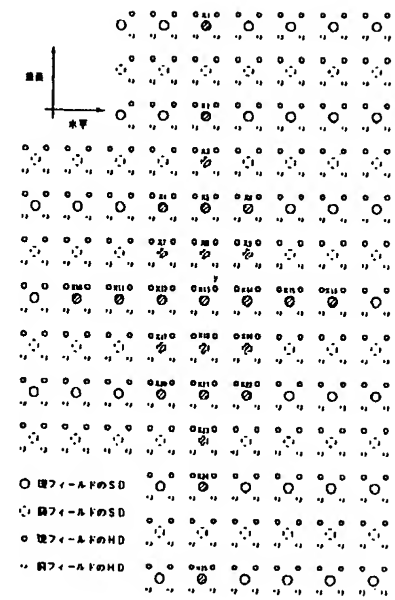
【図9】

動きクラス分類に使用するSD画素データ



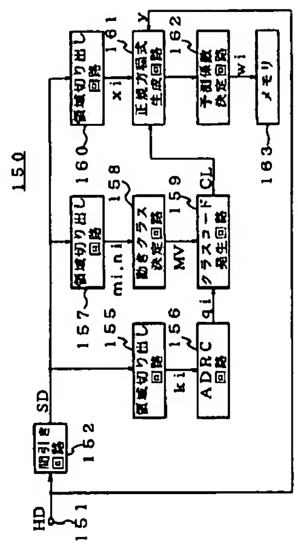
【図10】

推定演算に使用するSD画素データ



【図１２】

係数データ生成装置



フロントページの続き

(72)発明者　上木　伸夫
東京都品川区北品川６丁目７番35号　ソニー株式会社内

Ｆターム(参考)　5C063 BA03 BA08 BA12 CA01 CA40

Japanese Publication number : 2000–115716 A

CLAIMS

[Claim(s)]

[Claim 1] The video-signal inverter characterized by having the 1st converter of the image ecad which increases the 1st vertical number of Rhine or vertical horizontal number of pixels of a video signal n times, and acquires the 2nd video signal, and the 2nd converter which increases the vertical number of Rhine or the vertical horizontal number of pixels of the 2nd video signal of the above m times, and acquires the 3rd video signal.

[Claim 2] 1st pixel logging means by which the 1st converter of the above starts the signal of the pixel of the 1st field from the 1st video signal of the above, The level distribution pattern of the signal of the pixel of the 1st field of the above started by the pixel logging means of the above 1st is detected. A class decision means to determine the class to which the signal of the predetermined pixel which constitutes the 2nd video signal of the above which it is going to presume based on this pattern belongs, and to output class information, A multiplier data storage means to memorize the multiplier data of the linearity presumption type corresponding to each class shown using the above-mentioned class information, A multiplier data output means to read and output the multiplier data corresponding to the above-mentioned class information outputted from the above-mentioned class decision means from the above-mentioned multiplier data storage means, The 2nd pixel logging means which starts the signal of the pixel of the 2nd field from the 1st video signal of the above, From the above-mentioned multiplier data outputted from the above-mentioned multiplier data output means, and the signal of the pixel of the 2nd field of the above started by the pixel logging means of the above 2nd The video-signal inverter according to claim 1 characterized by coming to have a video-signal output means to calculate and output the signal of the predetermined pixel which constitutes the 2nd video signal of the above using the above-mentioned linearity presumption type.

[Claim 3] Above n is a video-signal inverter according to claim 1 characterized by being 2.

[Claim 4] The vertical number of Rhine of the 1st video signal of the above is the video signal of 525 interlaced-scanning methods. The 1st converter of the above From the video signal of 525 interlaced-scanning methods, as the 2nd video signal of the above, while the vertical number of Rhine acquires the video signal of 1050 interlaced-scanning methods, the above-mentioned number of Rhine The 2nd converter of the above is a video-signal inverter according to claim 1 with which the above-mentioned number of Rhine is characterized by acquiring the video signal corresponding to XGA as the 3rd video signal of

the above from the video signal of 1050 interlaced-scanning methods.
[Claim 5] The vertical number of Rhine of the 1st video signal of the above is the video signal of 625 interlaced-scanning methods. The 1st converter of the above From the video signal of 625 interlaced-scanning methods, as the 2nd video signal of the above, while the vertical number of Rhine acquires the video signal of 1250 interlaced-scanning methods, the above-mentioned number of Rhine The 2nd converter of the above is a video-signal inverter according to claim 1 with which the above-mentioned number of Rhine is characterized by acquiring the video signal corresponding to XGA as the 3rd video signal of the above from the video signal of 1250 interlaced-scanning methods.
[Claim 6] It is the video-signal inverter according to claim 1 characterized by for the 1st video signal of the above being a video signal of an interlaced-scanning method, and the 2nd video signal of the above being a video signal of an interlaced-scanning method.
[Claim 7] It is the video-signal inverter according to claim 1 characterized by for the 1st video signal of the above being a video signal of an interlaced-scanning method, and the 2nd video signal of the above being a video signal of a progressive broadcasting method.
[Claim 8] The video-signal inverter according to claim 1 characterized by constituting the 1st transducer of the above from hardware, and constituting the 2nd transducer of the above from a digital signal processor.
[Claim 9] The 2nd transducer of the above is a video-signal inverter according to claim 1 characterized by performing either recently side interpolation, linear interpolation or cubic interpolation, and acquiring the 3rd video signal of the above to the 2nd video signal of the above.
[Claim 10] The video-signal conversion approach characterized by having the 1st conversion process which acquires the 2nd video signal with which transform processing of an image ecad was performed to the 1st video signal, and the number of Rhine or the number of pixels was made into n times, and the 2nd conversion process which acquires the 3rd video signal with which transform processing was performed to the 2nd video signal of the above, and the number of Rhine or the number of pixels was made into m times.
[Claim 11] It has the video-signal transducer which changes the number of Rhine or the number of pixels of an input video signal, and acquires an output video signal, and the image display section which displays the image by the above-mentioned output video signal. The above-mentioned video-signal transducer The 1st converter of the image ecad which increases the 1st number of Rhine or number of pixels of a video signal as the above-mentioned input video signal n times, and acquires the 2nd video signal, The image display device characterized by having the 2nd converter which increases the number of Rhine or the number of pixels of the 2nd video signal of the above m times, and acquires the 3rd video signal as the above-mentioned output video signal.
[Claim 12] The receive section which receives a television broadcasting signal, and the video-signal transducer which changes the number of Rhine or the number of pixels of a receiving video signal obtained from the above-mentioned receive section, and acquires a conversion video signal, It has the image display section which displays the image by the above-mentioned conversion video signal. The above-mentioned video-signal transducer The 1st converter of the image ecad which increases the 1st number of Rhine or number of

pixels of a video signal as the above-mentioned receiving video signal n times, and acquires the 2nd video signal, The television receiver characterized by having the 2nd transducer which increases the number of Rhine or the number of pixels of the 2nd video signal of the above m times, and acquires the 3rd video signal as the above-mentioned conversion video signal.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the image display device and television receiver which applied when changing the video signal of NTSC system into the video signal corresponding to XGA (Extended Graphics Array), and used it for the suitable inverter of a video signal and the suitable conversion approach, and the list. In detail, by considering as m times by still more nearly another transform processing, after making the vertical number of Rhine or the vertical horizontal number of pixels into n times by transform processing of an image ecad, when changing the vertical number of Rhine or the vertical horizontal number of pixels so that twice may be exceeded, the video-signal inverter which acquired the high definition video signal is started.

[0002]

[Description of the Prior Art] Conventionally, the video signal SNT of NTSC system is changed into the video signal SXG corresponding to XGA, and what displayed the image on the liquid crystal display with the video signal corresponding to this XGA is proposed. Here, as the vertical number of Rhine is the video signal of 525 interlaced-scanning methods and the video signal SNT of NTSC system is shown in drawing 13 A, when the number of effective Rhine of the perpendicular direction of each field is 240 and a sampling frequency is 13.5MHz, the horizontal number of effective pixels is 720 pixels. On the other hand, as the video signal SXG corresponding to XGA is a video signal of a progressive broadcasting method and is shown in drawing 13 B, the vertical number of effective Rhine is 840, and the horizontal number of effective pixels is 1024 pixels.

[0003] As a video-signal inverter for acquiring the video signal SXG corresponding to XGA from the video signal SNT of NTSC system conventionally, as shown in drawing 14 , the interpolation circuit 200 is used. In this interpolation circuit 200, the video signal SXG corresponding to XGA is generated to the video signal SNT of NTSC system by interpolation processing of recently side interpolation, linear interpolation, cubic interpolation, etc. being performed.

[0004]

[Problem(s) to be Solved by the Invention] To the number of effective Rhine of the perpendicular direction of each field of the video signal SNT of NTSC system being 240 as mentioned above, since the number of effective Rhine of the perpendicular direction of the video signal SXG corresponding to XGA is 840, about a perpendicular direction, 760 / 240= 3.2 times as many number transform processing of Rhine as this is performed in an interpolation circuit 200. Thus, in performing conversion exceeding twice, even if it uses

the interpolation processing with many taps, sharpness is lost in an image and it becomes that in which image quality deteriorated. "O" of drawing 15 A shows the video signal SNT of NTSC system. "-" of drawing 15 B shows the video signal SXG corresponding to XGA after the number conversion of Rhine, and its vertical number of pixels is only increasing.

[0005] Such image quality degradation is similarly produced, when performing transform processing of the horizontal number of pixels exceeding twice. Moreover, also when acquiring the video signal SXG corresponding to XGA from the video signal SPL of the PAL system whose vertical number of Rhine is the video signal of 625 interlaced-scanning methods, it becomes that in which image quality deteriorated similarly.

[0006] So, in this invention, when changing the vertical number of Rhine or the vertical horizontal number of pixels so that twice may be exceeded, it aims at offering the video-signal inverter which acquired the high definition video signal.

[0007]

[Means for Solving the Problem] The video-signal inverter concerning this invention is equipped with the 1st converter of the image ecad which increases the 1st vertical number of Rhine or vertical horizontal number of pixels of a video signal n times, and acquires the 2nd video signal, and the 2nd converter which increases the vertical number of Rhine or the vertical horizontal number of pixels of the 2nd video signal m times, and acquires the 3rd video signal.

[0008] Moreover, the 1st conversion process which acquires the 2nd video signal with which the video-signal conversion approach concerning this invention performed transform processing of an image ecad to the 1st video signal, and the vertical number of Rhine or the vertical horizontal number of pixels was made into n times, It has the 2nd conversion process which acquires the 3rd video signal with which transform processing was performed to the 2nd video signal, and the vertical number of Rhine or the vertical horizontal number of pixels was made into m times.

[0009] In this invention, the 2nd video signal with which transform processing of an image ecad was performed to the 1st video signal, and the vertical number of Rhine or the vertical horizontal number of pixels was made into n times, for example, twice, is acquired. By transform processing of an image ecad, conversion of the vertical number of Rhine or the horizontal number of pixels is not performed by the mere interpolation processing which used the surrounding pixel signal, and is performed by searching for a required pixel signal by the presumed operation which used the linearity presumption type. Moreover, the 3rd video signal with which transform processing was performed to the 2nd video signal, and the vertical number of Rhine or the vertical horizontal number of pixels was made into m times is acquired. Conversion of the vertical number of Rhine or the horizontal number of pixels is performed by this transform processing by the mere interpolation processing which used the surrounding pixel signal.

[0010] Thus, transform processing of an image ecad is performed to the 1st video signal, the 2nd video signal is acquired, and a video signal [high definition / as this 2nd video signal] is acquired. Therefore, the 3rd video signal which transform processing is performed to this 2nd video signal, and is acquired does not have image quality degradation like the video signal which doubled the vertical number of Rhine or the vertical horizontal number of pixels nxm by mere interpolation processing to the 1st video

signal, and turns into a high definition video signal.

[0011] Moreover, although the 3rd video signal with which the vertical number of Rhine or the vertical horizontal number of pixels was finally made into nxm times to the 1st video signal is acquired The 2nd video signal with which transform processing of an image ecad was performed to the 1st video signal, and the vertical number of Rhine or the vertical horizontal number of pixels was made into n times is acquired. Furthermore, it is considering as the configuration which acquires the 3rd video signal with which transform processing by interpolation was performed as opposed to this 2nd video signal, and the vertical number of Rhine or the vertical horizontal number of pixels was made into m times. Therefore, even if the conversion scale factor of the number of Rhine of a final perpendicular direction or the horizontal number of pixels has modification, management becomes possible easily only by changing the conversion scale factor m by interpolation processing. That is, even if the conversion scale factor of the number of Rhine of a final perpendicular direction or the horizontal number of pixels has modification, it can be used as a converter of an image ecad, the existing thing, for example, **** converter, and it becomes possible to acquire a high definition video signal.

[0012]

[Embodiment of the Invention] Hereafter, the gestalt of implementation of this invention is explained, referring to a drawing. Drawing 1 shows the configuration of the television receiver 10 as a gestalt of operation. This television receiver 10 has the receiving antenna 11 and the tuner 12 which performs channel selection processing, intermediate frequency magnification processing, detection processing, etc., and acquires the video signal SNT of NTSC system to the television broadcasting signal (RF modulating signal) caught with this receiving antenna 11.

[0013] Moreover, the television receiver 10 has the driver 14 which drives a liquid crystal display 15 based on a video signal SXG so that the image by the above-mentioned video signal SXG may be displayed on the video-signal inverter 13 which performs transform processing of the vertical number of Rhine, or the horizontal number of pixels to the video signal SNT outputted from a tuner 12, and acquires the video signal SXG corresponding to XGA, a liquid crystal display (LCD:liquid crystal display) 15, and this liquid crystal display 15.

[0014] Actuation of the television receiver 10 shown in drawing 1 is explained. The television broadcasting signal caught with the receiving antenna 11 is supplied to a tuner 12. In this tuner 12, the intermediate frequency signal concerning the television broadcasting signal of the predetermined channel chosen by channel selection actuation of a user is acquired, this intermediate frequency signal is amplified, detection processing is performed to an intermediate frequency signal after that, and the video signal SNT of NTSC system is acquired.

[0015] The video signal SNT of the NTSC system outputted from a tuner 12 is supplied to the video-signal inverter 13. In this inverter 13, transform processing of the vertical number of Rhine and the horizontal number of pixels is performed to a video signal SNT, and the video signal SXG corresponding to XGA is acquired. That is, the signal of each field of the video signal SNT of 252.5x(number of effective Rhine is 240) 858 pixel (an effective pixel is 720 pixels) NTSC system is changed into the signal of each frame of the video

signal SXG corresponding to 840x(number of effective Rhine is 768) 1220 pixel (an effective pixel is 1024 pixels) XGA.

[0016] And the video signal SXG corresponding to XGA outputted from the video-signal inverter 13 is supplied to a driver 14, and 1024x768-pixel image display is performed to a liquid crystal display 15 by the video signal SXG.

[0017] Next, drawing 2 is used and the configuration of the video-signal inverter 13 is explained. The inverter 13 consists of a **** conversion circuit 100 of the image ecad which changes the video signal SNT of NTSC system into video-signal S2N of the interlaced-scanning method with which the vertical number of Rhine and the vertical horizontal number of pixels become twice, respectively, and an interpolation circuit 180 which changes video-signal S2N into the video signal SXG corresponding to XGA.

[0018] An interpolation circuit 180 is constituted like the conventional interpolation circuit 200 mentioned above. That is, in an interpolation circuit 180, conversion of the vertical number of Rhine or the horizontal number of pixels is performed by the mere interpolation processings (recently side interpolation, linear interpolation, cubic interpolation, etc.) which used the surrounding pixel signal. On the other hand, at a conversion circuit 100, conversion of the vertical number of Rhine or the horizontal number of pixels is not performed by the mere interpolation processing which used the surrounding pixel signal, and is performed by searching for a required pixel signal by the presumed operation which used the linearity presumption type.

[0019] Actuation of the inverter 13 shown in drawing 2 is explained. First, the video signal SNT of NTSC system is supplied to the **** conversion circuit 100 of an image ecad, the vertical number of Rhine and the vertical horizontal number of pixels are changed twice by transform processing of an image ecad, and video-signal S2N is generated. In this case, the signal (refer to drawing 3 A) of each field of the video signal SNT of 252.5x(number of effective Rhine is 240) 858 pixel (an effective pixel is 720 pixels) NTSC system is changed into the signal (refer to drawing 3 B) of each 525x(number of effective Rhine is 480) 1716 pixel (an effective pixel is 1440 pixels) field [video-signal S2N].

[0020] Next, video-signal S2N is supplied to an interpolation circuit 180, the vertical number of Rhine and the vertical horizontal number of pixels are changed by mere interpolation processing which used the surrounding pixel signal, and the video signal SXG corresponding to XGA is generated. In this case, the signal of each 525x(number of effective Rhine is 480) 1716 pixel (an effective pixel is 1440 pixels) field [video-signal S2N] is changed into the signal of each frame of the video signal SXG corresponding to 840x(number of effective Rhine is 768) 1220 pixel (an effective pixel is 1024 pixels) XGA.

[0021] In the inverter 13 shown in drawing 2 , although 768 / 240= 3.2 times as many number transform processing of Rhine as this is finally performed about a perpendicular direction, the vertical number of Rhine is made into twice by the **** conversion circuit 100 of an image ecad, and the vertical number of Rhine is made into further 1.6 times after that in an interpolation circuit 180. In this case, in a conversion circuit 100, high definition video-signal S2N (refer to "**" of drawing 4 B) is obtained, without performing transform processing of an image ecad and dulling the video signal SNT (referring to "O" of drawing 4 A) of NTSC system. Therefore, compared with what makes the number of Rhine 3.2 times by mere interpolation processing like before, there is little image quality degradation and

the high definition video signal SXG (refer to "-" of drawing 4 C) corresponding to XGA is acquired.

[0022] Next, with reference to drawing 5 , the example of a configuration of the **** conversion circuit 100 of an image ecad is explained. This conversion circuit 100 has the input terminal 101 into which the video signal SNT of NTSC system is inputted, and D/A converter 102 which changes this video signal SNT into a digital signal (henceforth "SD pixel data").

[0023] A conversion circuit 100 from moreover, SD pixel data outputted from A/D converter 102 The field logging circuit 103 which cuts down SD pixel data of the field corresponding to predetermined HD pixel data which it is going to presume among the pixel data (henceforth "HD pixel data") which constitute video-signal S2N, ADRC (Adaptive Dynamic Range Coding) processing is applied to SD pixel data cut down in this field logging circuit 103. It has the ADRC circuit 104 which determines the class (space class) which mainly expresses the wave in space, and outputs class information.

[0024] Drawing 6 and drawing 7 show the physical relationship of SD pixel and HD pixel. In the field logging circuit 103, as shown, for example in drawing 8 , when it is going to presume HD pixel data y, SD pixel data k1-k5 located near this HD pixel data y are cut down.

[0025] In the ADRC circuit 104, an operation which compresses each SD pixel data into 2 bit data for example, from 8 bit data for the purpose of patternizing of level distribution of SD pixel data cut down in the field logging circuit 103 is performed. And from the ADRC circuit 104, the compressed data (re-quantization code) qi corresponding to each SD pixel data is outputted as class information on a space class.

[0026] Originally, although ADRC is the accommodative re-quantizing method which turned and was developed for high performance coding VTR (Video Tape Recorder), since it can express the local pattern of signal level efficiently by the short word length, it is used for patternizing of level distribution of SD pixel data cut down in the field logging circuit 103 with the gestalt of this operation.

[0027] In the ADRC circuit 104, if maximum of SD pixel data in a field is set to MAX and DR (=MAX-MIN +1) and a re-quantifying bit number are set [the minimum value] to p for the dynamic range in MIN and a field, the re-quantization code qi will be obtained by the operation of (1) type to each SD pixel data ki in a field. However, in (1) type, [ ] means cut-off processing. When SD pixel data of Na individual are cut down in the field logging circuit 103, they are i= 1 - Na.

qi= [(ki-MIN +0.5) -2p / DR] ... (1)

[0028] Moreover, the conversion circuit 100 has the motion class decision circuit 106 which determines the class (motion class) for mainly expressing extent of a motion, and outputs class information from SD pixel data cut down in the field logging circuit 105 which cuts down SD pixel data of the field corresponding to predetermined HD pixel data which it is going to presume, and this field logging circuit 105 from SD pixel data outputted from A/D converter 102.

[0029] In the field logging circuit 105, as shown, for example in drawing 9 , when it is going to presume HD pixel data y, ten SD pixel data m1-m5 located near this HD pixel data y, and n1-n5 are started.

[0030] inter-frame [from SD pixel data mi and ni cut down in the field logging circuit 105 in the motion class decision circuit 106] -- difference is computed, threshold processing is further performed to the average of the absolute value of the difference, and the class information MV on the motion class which is the index of a motion is outputted.

[0031] That is, the average AV of the absolute value of difference is computed by (2) types in the motion class decision circuit 106. It is the field logging circuit 105, for example, as mentioned above, when ten SD pixel data m1-m5, and n1-n5 are started, Nb in (2) types is 5.

[0032]

[Equation 1]

[0033] And in the motion class decision circuit 106, the average AV computed as mentioned above is compared with one piece or two or more thresholds, and the class information MV is acquired. For example, when the thresholds th1, th2, and th3 (th1<th2<th3) of three pieces are prepared and it determines four motion classes, it is made into MV=3 at the time of MV=2 and th3<AV at the time of MV=1 and th2<AV<=th3 at the time of MV=0 and th1<AV<=th2 at the time of AV<=th1.

[0034] Moreover, the conversion circuit 100 has the class code generating circuit 107 for obtaining the class code CL which shows the class to which HD pixel data which it is going to presume to be the re-quantization code qi as class information on the space class outputted from the ADRC circuit 104 based on the class information MV on the motion class outputted from the motion class decision circuit 106 belong. The operation of the class code CL is performed by (3) types in the class code generating circuit 107. In addition, in (3) types, the number of SD pixel data with which Na is started in the field logging circuit 103, and p show the re-quantifying bit number in the ADRC circuit 104.

[0035]

[Equation 2]

[0036] Moreover, the conversion circuit 100 has the ROM table 108 on which the multiplier data of the linearity presumption type used in the presumed arithmetic circuit 110 mentioned later, respectively are memorized for every class. The class code outputted from the class code generating circuit 107 reads to this ROM table 108, and it is supplied as address information. Thereby, the multiplier data wi corresponding to the class code CL are read from the ROM table 108.

[0037] Moreover, the conversion circuit 100 has the presumed arithmetic circuit 110 which calculates HD pixel data which it is going to presume from the field logging circuit 109 which cuts down SD pixel data of the field corresponding to predetermined HD pixel data which it is going to presume, SD pixel data cut down in this field logging circuit 109, and the multiplier data wi read from the ROM table 108 as mentioned above from SD pixel data outputted from A/D converter 102.

[0038] In the field logging circuit 109, as shown, for example in drawing 10 , when it is going to presume HD pixel data y, SD pixel data x1-x25 located near these HD pixel data y are cut down. In the presumed arithmetic circuit 110, HD pixel data y which it is going to presume calculate by the linearity presumption type of (4) types from SD pixel data xi cut

down in the field logging circuit 109, and the multiplier data wi read from the ROM table 108. It is the field logging circuit 109, for example, as mentioned above, when 25 SD pixel data x1-x25 are cut down, n in (4) types, i.e., the number of taps, is 25.

[0039]

[Equation 3]

[0040] Moreover, the conversion circuit 100 has D/A converter 111 which changes into an analog signal HD pixel data by which a sequential output is carried out, and obtains video-signal S2N from the presumed arithmetic circuit 110, and the output terminal 112 which outputs this video-signal S2N.

[0041] The actuation of a conversion circuit 100 shown in drawing 5 is explained. The video signal SNT of NTSC system is changed into a digital signal by A/D converter 102, and SD pixel data are formed. It corresponds to predetermined HD pixel data y which it is going to presume among HD pixel data which constitute video-signal S2N. SD pixel data ki of a predetermined field are cut down from SD pixel data outputted from A/D converter 102 in the field logging circuit 103. ADRC processing is performed to each of this cut-down SD pixel data ki in the ADRC circuit 104, and the re-quantization code qi as class information on a space class (mainly class classification for the wave expression in space) is obtained.

[0042] Moreover, corresponding to HD pixel data y which were mentioned above and which it is going to presume, the class information MV which SD pixel data mi and ni of a predetermined field are cut down in the field logging circuit 105, moves from each of these cut-down SD pixel data mi and ni, moves by the class decision circuit 106, and shows a class (class classification for mainly expressing extent of a motion) from SD pixel data outputted from A/D converter 102 is acquired. The class code CL as class information which shows the class to which HD pixel data y which it is going to presume belong in the class code generating circuit 107 is obtained from this motion class information MV and the re-quantization code qi obtained in the ADRC circuit 104 mentioned above. And this class code CL reads to the ROM table 108, it is supplied as address information and the multiplier data wi corresponding to the class to which HD pixel data y which it is going to presume from this ROM table 108 belong are read.

[0043] Moreover, corresponding to HD pixel data y which were mentioned above and which it is going to presume, SD pixel data xi of a predetermined field are cut down from SD pixel data outputted from A/D converter 102 in the field logging circuit 109. And in the presumed arithmetic circuit 110, the cut-down SD pixel data xi and HD pixel data y which are going to use a linearity presumption type and it is going to presume from the multiplier data wi read from the ROM table 108 as mentioned above calculate. And HD pixel data y by which a sequential output is carried out from the presumed arithmetic circuit 110 are changed into an analog signal by D/A converter 111, video-signal S2N is obtained, and this video-signal S2N is drawn by the output terminal 112.

[0044] By the way, as mentioned above, the multiplier data of the linearity presumption type corresponding to each class are memorized by the ROM table 108. This multiplier data is beforehand generated by study. First, this study approach is explained. (4) The example which asks for the multiplier data wi (i=1-n) based on the linearity presumption type of a formula with a least square method shall be shown. The observation equation of

(5) equations is considered as an accepted example, using Y as a forecast for X by using input data and W into a prediction coefficient. In this (5) type, m shows the number of study data and n shows the number of prediction taps.

[0045]

[Equation 4]

[0046] (5) Apply a least square method to the data collected by the observation equation of an equation. The remainder equation of (6) equations is considered based on the observation equation of this (5) equation.

[0047]

[Equation 5]

[0048] (6) every from the remainder equation of an equation -- the most probable value of wi is considered to be the case where the conditions which make e2 of (7) equations min are realized. Namely, what is necessary is just to take the conditions of (8) types into consideration.

[0049]

[Equation 6]

[0050] That is, what is necessary is to consider n conditions based on i of (8) types, and just to compute w1, w2, ..., wn which fill this. Then, (9) equations are obtained from the remainder equation of (6) equations. Furthermore, (10) types are obtained from (9) types and (5) types.

[0051]

[Equation 7]

[0052] And the normal equation of (6) equations and (10) equations to (11) equations is obtained.

[0053]

[Equation 8]

[0054] (11) since the normal equation of an equation can form the equation of the same number as several n of an unknown -- every -- the most probable value of wi can be calculated. In this case, it will sweep out and simultaneous equations will be solved using law (method of elimination of Gauss-Jordan) etc.

[0055] Drawing 11 shows the study flow of the prediction coefficient mentioned above. In order to learn, the teacher signal used as an input signal and the candidate for prediction is prepared.

[0056] First, the combination of the pixel value for prediction acquired from a teacher signal at a step ST 1 and the pixel value of n pieces of the prediction tap obtained from an input signal is generated as study data. Next, when it judges whether generation of study data was completed at a step ST 2 and generation of study data is not completed, the class to which the pixel value for prediction in the study data belongs at a step ST 3 is determined. The decision of this class is made based on the pixel value of the

predetermined number obtained from an input signal corresponding to the pixel value for prediction, and the space class by the ADRC processing mentioned above etc. is determined.
[0057] And the study data generated at a step ST 1, i.e., the pixel value for prediction, and the pixel value of n pieces of a prediction tap are used for every class at a step ST 4, and a normal equation as shown in (11) equations is generated. Actuation of a step ST 1 - a step ST 4 is repeated until generation of study data is completed, and the normal equation with which many study data were registered is generated.
[0058] When generation of study data is completed at a step ST 2, it is a step ST 5, and the normal equation generated for every class is solved, and it asks for the prediction coefficient wi of n pieces for every class. And a prediction coefficient wi is registered into the memory by which address division was carried out according to the class at a step ST 6, and a study flow is ended.
[0059] Next, the detail of the multiplier data generation equipment 150 which generates beforehand the multiplier data wi for every class memorized by the ROM table 108 of a conversion circuit 100 shown in drawing 5 by the principle of the study mentioned above is explained. Drawing 12 shows the example of a configuration of multiplier data generation equipment 150.
[0060] This multiplier data generation equipment 150 performs horizontal and vertical infanticide filtering to the input terminal 151 with which HD pixel data which constitute video-signal S2N as a teacher signal are supplied, and this HD pixel data, and has the infanticide circuit 152 which obtains SD pixel data which constitute the video signal SNT of the NTSC system as an input signal. the infanticide circuit 152 -- not illustrating, either -- while infanticide processing is performed to HD pixel data so that the number of Rhine of the perpendicular direction in the field may be set to one half with a perpendicular infanticide filter, infanticide processing is performed so that the horizontal number of pixels may be further set to one half with a water Hirama length filter. Therefore, the physical relationship of SD pixel and HD pixel comes to be shown in drawing 6 and drawing 7 .
[0061] Moreover, multiplier data generation equipment 150 corresponds to two or more HD pixel data as a pixel value for prediction among HD pixel data supplied to an input terminal 151, respectively. The field logging circuit 155 which cuts down SD pixel data of a predetermined field one by one from SD pixel data outputted from the infanticide circuit 152, ADRC processing is applied to SD pixel data cut down one by one in this field logging circuit 155, and it has the ADRC circuit 156 which determines the class (space class) which mainly expresses the wave in space, and outputs class information.
[0062] The field logging circuit 155 is constituted like the field logging circuit 103 of a conversion circuit 100 mentioned above. From this field logging circuit 155, as shown in drawing 8 , corresponding to HD pixel data y as a pixel value for prediction, SD pixel data k1-k5 located near this HD pixel data y are cut down. Moreover, it is constituted like [the ADRC circuit 156] the ADRC circuit 104 of a conversion circuit 100 mentioned above. From this ADRC circuit 156, the re-quantization code qi is outputted as class information which shows a space class for every SD pixel data of the predetermined field started respectively corresponding to each HD pixel data as a pixel value for prediction.
[0063] Moreover, multiplier data generation equipment 150 corresponds to each HD pixel

data as a pixel value for prediction mentioned above, respectively. The field logging circuit 157 which cuts down SD pixel data of a predetermined field one by one from SD pixel data outputted from the infanticide circuit 152, It has the motion class decision circuit 158 which determines the class (motion class) for mainly expressing extent of a motion, and outputs class information from SD pixel data cut down in this field logging circuit 157.

[0064] The field logging circuit 157 is constituted like the field logging circuit 105 of a conversion circuit 100 mentioned above. From this field logging circuit 157, as shown in drawing 9 , corresponding to HD pixel data y as a pixel value for prediction, ten SD pixel data m1-m5 located near this HD pixel data y, and n1-n5 are started. Moreover, it is constituted like [the motion class decision circuit 158] the motion class decision circuit 106 of the picture signal inverter 100 mentioned above. From this motion class decision circuit 158, the class information MV on the motion class which is the index of a motion is outputted for every SD pixel data of the predetermined field started respectively corresponding to each HD pixel data as a pixel value for prediction.

[0065] Moreover, multiplier data generation equipment 150 has the class code generating circuit 159 for obtaining the class code CL based on the class information MV on the re-quantization code qi as class information on the space class outputted from the ADRC circuit 156, and the motion class outputted from the motion class decision circuit 158. This class code generating circuit 159 is constituted like the class code generating circuit 107 of a conversion circuit 100 mentioned above. From this class code generating circuit 159, the class code CL which shows the class to which that HD pixel data belongs respectively corresponding to each HD pixel data as a pixel value for prediction is outputted.

[0066] Moreover, multiplier data generation equipment 150 has the field logging circuit 160 which cuts down SD pixel data of the predetermined field as a prediction tap value one by one from SD pixel data outputted from the infanticide circuit 152 respectively corresponding to each HD pixel data as a pixel value for prediction mentioned above. The field logging circuit 160 is constituted like the field logging circuit 109 of the picture signal inverter 100 mentioned above. From this field logging circuit 160, as shown in drawing 10 , corresponding to HD pixel data y as a pixel value for prediction, 25 SD pixel data x1-x25 located near this HD pixel data y are cut down.

[0067] Moreover, each HD pixel data y as a pixel value for prediction acquired from HD pixel data with which multiplier data generation equipment 150 is supplied to an input terminal 151 SD pixel data xi as a prediction tap pixel value started one by one in the field logging circuit 160 respectively corresponding to each HD pixel data y as a pixel value for prediction, From the class code CL outputted from the class code generating circuit 159 respectively corresponding to each HD pixel data y as a pixel value for prediction It has the normal equation generation circuit 161 which generates the normal equation (refer to (11) equations) for generating n multiplier data wi for every class.

[0068] In this case, the study data mentioned above in the combination of one HD pixel data y and the prediction tap pixel value of n pieces corresponding to it are generated, therefore the normal equation with which many study data were registered is generated in the generation circuit 161. In addition, although not illustrated, timing doubling of SD pixel data xi supplied to the normal-equation generation circuit 161 from the field logging circuit 160 can be performed by arranging the delay circuit for time amount doubling in the

preceding paragraph of the field logging circuit 160.

[0069] Moreover, the data of the normal equation generated for every class in the normal-equation generation circuit 161 are supplied, and multiplier data generation equipment 150 solves the normal equation generated for every class, and has the prediction coefficient decision circuit 162 which asks for the multiplier data (prediction coefficient) wi for every class, and the memory 163 which memorizes this called-for multiplier data wi. In the prediction coefficient decision circuit 162, a normal equation sweeps out, for example, it is solved by law etc., and the multiplier data wi are called for.

[0070] Actuation of the multiplier data generation equipment 150 shown in drawing 12 is explained. HD pixel data which constitute video-signal S2N as a teacher signal are supplied to an input terminal 151, and SD pixel data which it thins out to this HD pixel data, and infanticide processing horizontal in a circuit 152 and vertical etc. is performed, and constitutes the video signal SNT of the NTSC system as an input signal are obtained.

[0071] Moreover, it corresponds to each HD pixel data y as a pixel value for prediction acquired from HD pixel data supplied to an input terminal 151, respectively. SD pixel data ki of a predetermined field are cut down one by one from SD pixel data outputted from the infanticide circuit 152 in the field logging circuit 155. ADRC processing is performed to each of this cut-down SD pixel data ki in the ADRC circuit 156, and the re-quantization code qi as class information on a space class (mainly class classification for the wave expression in space) is obtained.

[0072] Moreover, SD pixel data mi and ni of a predetermined field are cut down one by one in a field logging circuit 157 from SD pixel data outputted from the infanticide circuit 152 respectively corresponding to each HD pixel data y as a pixel value for prediction, and the class information MV which moves from each of these cut-down SD pixel data mi and ni, moves by the class decision circuit 158, and shows a class (class classification for mainly expressing extent of a motion) is acquired. And the class code CL as class information which shows the class to which each HD pixel data y as a pixel value for prediction belongs in the class code generating circuit 159 is obtained from this class information MV and the re-quantization code qi obtained in the ADRC circuit 156 mentioned above.

[0073] Moreover, respectively corresponding to each HD pixel data y as a pixel value for prediction, SD pixel data xi of a predetermined field are cut down one by one from SD pixel data outputted from the infanticide circuit 152 in the field logging circuit 160. And each HD pixel data y as a pixel value for prediction acquired from HD pixel data supplied to an input terminal 151 SD pixel data xi as a prediction tap pixel value started one by one in the field logging circuit 160 respectively corresponding to each HD pixel data y as a pixel value for prediction, From the class code CL outputted from the class code generating circuit 159 respectively corresponding to each HD pixel data y as a pixel value for prediction, the normal equation for generating n multiplier data wi for every class is generated in the normal-equation generation circuit 161. And the normal equation is solved in the prediction coefficient decision circuit 162, the multiplier data wi for every class are called for, and the multiplier data wi is memorized by the memory 163 by which address division was carried out according to the class.

[0074] In addition, as an information-compression means to patternize a space wave form with the small number of bits in ****, although it decided to form the ADRC circuit

104,156, as long as this is a mere example and it is the information-compression means which can be expressed in a class with few patterns of a signal wave form, it is free what is formed, for example, compression means, such as DPCM (Differential Pulse Code Modulation) and VQ (Vector Quantization), may be used.

[0075] As explained above, in the gestalt of this operation, with the video-signal inverter 13, about a perpendicular direction, the number of Rhine is made into twice by the **** conversion circuit 100 of an image ecad, the number of Rhine is made into further 1.6 times after that in an interpolation circuit 180, and, finally the 3.2 times as many number transform processing of Rhine as this is performed (refer to drawing 2). In this case, in a conversion circuit 100, high definition video-signal S2N is obtained, without dulling the video signal SNT of NTSC system, since transform processing of an image ecad is performed. Therefore, like before, compared with what makes the vertical number of Rhine 3.2 times, there is little image quality degradation, the high definition video signal SXG corresponding to XGA is acquired, and a high definition image is displayed on a liquid crystal display 15 by mere interpolation processing.

[0076] Moreover, although it is constituted as a **** conversion circuit 100 of an image ecad as shown in drawing 5 , it exists variously in others. Therefore, if needed, the part of the **** conversion circuit 100 is transposed to the thing of arbitration, and can consist of considering the video-signal inverter 13 as the configuration which consists of a **** conversion circuit 100 of an image ecad, and an interpolation circuit 180.

[0077] In addition, in the gestalt of the above-mentioned implementation, although what finally makes the vertical number of Rhine 3.2 times was shown, when the twice as many final conversion scale factor of the vertical number of Rhine or the horizontal number of pixels as this becomes large, as mentioned above, the video-signal inverter 13 which consists of a **** conversion circuit 100 of an image ecad and an interpolation circuit 180 can be used, and a high definition video signal can be acquired. In this case, it can be easily coped with only by changing the conversion scale factor in an interpolation circuit 180. That is, even if the final conversion scale factor of the vertical number of Rhine or the horizontal number of pixels has modification, the existing **** conversion circuit 100 can be used as it is, and a high definition video signal can be acquired.

[0078] Moreover, in the gestalt of the above-mentioned implementation, video-signal S2N of the interlaced-scanning method with which the vertical number of Rhine and the vertical horizontal number of pixels were made into twice from the video signal SNT of NTSC system, respectively is obtained. Although the video signal SXG corresponding to XGA is furthermore acquired from this video-signal S2N The video signal of the progressive broadcasting method with which the vertical number of Rhine and the vertical horizontal number of pixels were made into twice from the video signal SNT of NTSC system, respectively is acquired, and you may make it acquire the video signal SXG corresponding to XGA from this video signal.

[0079] Moreover, in the gestalt of the above-mentioned implementation, although what acquires the video signal SXG corresponding to XGA from the video signal SNT of NTSC system was shown, this invention can be similarly applied, when acquiring the video signal SXG corresponding to XGA from the video signal SPL of a PAL system.

[0080] Moreover, in the gestalt of the above-mentioned implementation, although the

video-signal inverter 13 is considered as the configuration which consists of a **** conversion circuit 100 of an image ecad, and an interpolation circuit 180, even if a conversion scale factor constitutes the video-signal inverter 13 from a conversion circuit of the image ecad which is not 2, and an interpolation circuit, the same operation effectiveness can be acquired.

[0081] Moreover, in the gestalt of the above-mentioned implementation, although what acquires the video signal SXG corresponding to XGA from the video signal SNT of NTSC system was shown, also when acquiring the video signal corresponding to SVGA, SXGA, UXGA, 1125i, etc. from the video signal SNT of NTSC system, or the video signal SPL of a PAL system, it is natural [this invention] that it is applicable similarly.

[0082]

[Effect of the Invention] According to this invention, the 2nd video signal which performed transform processing of an image ecad to the 1st video signal, and made n times the vertical number of Rhine or the vertical horizontal number of pixels is acquired, and the 3rd video signal which performed another transform processing to this 2nd video signal, and made m times the vertical number of Rhine or the vertical horizontal number of pixels is acquired after that. Therefore, the 3rd video signal which the 2nd video signal acquired by transform processing of an image ecad turns into a high definition video signal, and transform processing is performed to this 2nd video signal, and is acquired does not have image quality degradation like the video signal which doubled the vertical number of Rhine or the vertical horizontal number of pixels nxm by mere interpolation processing to the 1st video signal, and turns into a high definition video signal. Therefore, according to this invention, when changing the vertical number of Rhine or the vertical horizontal number of pixels so that twice may be exceeded, a high definition video signal can be acquired.

[0083] Moreover, although the 3rd video signal with which the vertical number of Rhine or the vertical horizontal number of pixels was finally made into nxm times to the 1st video signal is acquired The 2nd video signal with which transform processing of an image ecad was performed to the 1st video signal, and the vertical number of Rhine or the vertical horizontal number of pixels was made into n times is acquired. Furthermore, it is considering as the configuration which acquires the 3rd video signal with which transform processing by interpolation was performed as opposed to this 2nd video signal, and the vertical number of Rhine or the vertical horizontal number of pixels was made into m times. Therefore, even if the conversion scale factor of the number of Rhine of a final perpendicular direction or the horizontal number of pixels has modification, management becomes possible easily only by changing the conversion scale factor m by interpolation processing. That is, even if the conversion scale factor of the number of Rhine of a final perpendicular direction or the horizontal number of pixels has modification, it can be used as a converter of an image ecad, the existing thing, for example, **** converter, and a high definition video signal can be acquired.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]
[Drawing 1] It is the block diagram showing the configuration of the television receiver as a gestalt of operation.
[Drawing 2] It is the block diagram showing the configuration of the video-signal inverter of the television receiving inside of a plane.
[Drawing 3] It is drawing for explaining actuation of a video-signal inverter.
[Drawing 4] It is drawing for explaining actuation of a video-signal inverter.
[Drawing 5] It is the block diagram showing the configuration of the image ecad **** conversion circuit in a video-signal inverter.
[Drawing 6] It is an abbreviation diagram for explaining the physical relationship of SD pixel and HD pixel.
[Drawing 7] It is an abbreviation diagram for explaining the physical relationship of SD pixel and HD pixel.
[Drawing 8] It is an abbreviation diagram for explaining SD pixel data used for a space class classification.
[Drawing 9] It is an abbreviation diagram for explaining SD pixel data used for a motion class classification.
[Drawing 10] It is an abbreviation diagram for explaining SD pixel data used for a presumed operation.
[Drawing 11] It is the flow chart which shows the study flow of a prediction coefficient.
[Drawing 12] It is the block diagram showing the example of a configuration of multiplier data generation equipment.
[Drawing 13] It is drawing showing the number of effective Rhine and the number of effective pixels of the video signal of NTSC system, and the video signal corresponding to XGA.
[Drawing 14] It is drawing showing the conventional interpolation circuit for changing the video signal SNT of NTSC system into the video signal SXG corresponding to XGA.
[Drawing 15] It is drawing for explaining actuation of the conventional interpolation circuit.
[Description of Notations]
10 ... a television receiver and 11 ... a receiving antenna and 12 ... a tuner and 13 ... a video-signal inverter and 14 ... a driver and 15 ... a liquid crystal display and 100 ... the **** conversion circuit of an image ecad, and 101 ... an input terminal and 102 ... an A/D converter and 103,105,109 ... a field logging circuit and 104 ... an ADRC circuit and 106 -- ... -- a motion class decision circuit and 107 -- ... -- a class code generating circuit and 108 -- ... -- a ROM table and 110 -- ... -- a presumed arithmetic circuit and 111 -- ... a D/A converter and 112 -- ... an output terminal

---

[Translation done.]